

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

03657020     \*\*Image available\*\*

THIN FILM SEMICONDUCTOR DEVICE

PUB. NO.:     04-022120 [JP 4022120 A]

PUBLISHED:     January 27, 1992 (19920127)

INVENTOR(s):   KUNII MASABUMI

APPLICANT(s): SEIKO EPSON CORP [000236] (A Japanese Company or Corporation)

, JP (Japan)

APPL. NO.:     02-127410 [JP 90127410]

FILED:         May 17, 1990 (19900517)

INTL CLASS:    [5] H01L-021/20; H01L-021/84; H01L-029/784

JAPIO CLASS:   42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R002 (LASERS); R096 (ELECTRONIC MATERIALS -- Glass  
Conductors); R097 (ELECTRONIC MATERIALS -- Metal Oxide  
Semiconductors, MOS)

JOURNAL:       Section: E, Section No. 1197, Vol. 16, No. 185, Pg. 8, May  
06, 1992 (19920506)

#### ABSTRACT

**PURPOSE:** To form a high quality semiconductor thin film on an insulating substrate, and improve performance, by constituting the main part of thin film semiconductor wherein the volume ratio of amorphous component in said film to the whole thin film is smaller than a specified value.

**CONSTITUTION:** An amorphous silicon thin film 102 is deposited on an insulating substrate 101. In this poly-Si thin film, an annealing process for solid phase growth of a thin film is performed. Only the crystal grains having crystal orientation of small activation energy of crystal growth are selectively grown in the solid phase growth annealing, and polycrystalline silicon 103 of large grain diameter is formed. At this time, amorphous regions 104 are microscopically left in crystal grain boundaries 105 of the poly-Si thin film formed at an annealing temperature lower than or equal to 600 deg.C. When the volume ratio  $\rho$  of amorphous phase to the total volume to the ratio of Raman scattering cross section of amorphous phase to crystalline phase is used, the amorphous regions 104 transfer to the crystalline region after the annealing process, and  $\rho$  becomes smaller than 1.2%. The polycrystalline thin film of large grain diameter obtained in this manner is applied to a thin film transistor.

⑩ 日本国特許庁 (J P)  
 ⑪ 特許出願公開  
 ⑫ 公開特許公報 (A) 平4-22120

⑬ Int. Cl. 9

H 01 L 21/20  
21/84  
29/784

識別記号

庁内整理番号

7739-4M  
7739-4M

⑭ 公開 平成4年(1992)1月27日

9056-4M H 01 L 29/78 311 F  
審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 薄膜半導体装置

⑯ 特 願 平2-127410

⑰ 出 願 平2(1990)5月17日

⑱ 発 明 者 国 井 正 文 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式  
会社内⑲ 出 願 人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号  
会社

⑳ 代 理 人 弁理士 鈴木 喜三郎 外1名

## 明 細 書

## 1. 発明の名称

薄膜半導体装置

## 2. 特許請求の範囲

薄膜半導体中の非晶質成分が、体積比で全薄膜  
 体積の1.2%未満であるような薄膜半導体でそ  
 の主要部を構成したことを特徴とする薄膜半導体  
 装置。

## 3. 発明の詳細な説明

## 〔産業上の利用分野〕

本発明は薄膜半導体装置に関する。

## 〔従来の技術〕

近年、大型で高解像度のアクティブマトリクス  
 液晶表示パネル、高速で高解像度の密着型イメー  
 ジセンサ、3次元IC等への実現に向けて、ガラ  
 ス、石英等の絶縁性非晶質基板や、SiO<sub>2</sub>等の絶  
 縁性非晶質層上に、高性能な半導体素子を形成す  
 る試みがなされている。特に、大型の液晶表示パ  
 ネル等においては、低コストの要求を満たすため

に、安価な低融点ガラス基板上に薄膜トランジス  
 タ (TFT) を形成することが必須の要求になり  
 つつある。従来は、低融点ガラス上に形成する T  
 F T の活性層に、例えば Journal of Applied  
 Physics Vol. 66 (10) p. 3951 (1989) 等にみられる  
 ように、非晶質 Si (a-Si) を用いたもの、  
 Solid State Electronics Vol. 32 (5) p. 391 (19  
 88)、IEEE Electron Device Letters Vol. 10 (3)  
 p. 123 (1989)、IEEE Transactions on Elec-  
 tron Devices, Vol. 36 (3) p. 529 (1989) 等にみ  
 られるように、多結晶 Si (poly-Si) を  
 用いたものがある。

## 〔発明が解決しようとする課題〕

しかし、TFTの活性層を a-Si で作製する  
 と、a-Si 中の電界効果移動度が小さいため、  
 最近開発が進んできた高品位 TV (HDT  
 V) への応用を考えるとときわめて不十分な性能で  
 あった。この点を解決するため、TFTの活性層  
 を a-Si ではなく減圧化学気相成長法 (LPC  
 VD) で成膜した多結晶 Si や、a-Si をアニ

ールして固相成長させることにより大粒化した  $\text{p-o1-y-Si}$  で作製し、TFTの高性能化をはかる試みがある。固相成長の方法は、Journal of Applied Physics, vol. 82, no. 6, p. 1675 (1987), Applied Physics Letters vol. 47, no. 12, p. 1350 (1986), Journal of Electrochemical Society vol. 131, no. 3, p. 676 (1984), Journal of Applied Physics vol. 83, no. 7, p. 2260 (1988), 等に見られるように、600℃程度の温度で非晶質半導体薄膜をアニールして結晶成長させる方法が一般的であった。しかし、600℃程度の温度で長時間アニールしても結晶粒界に非晶質成分が残存し、良好な結晶質薄膜が得られないという問題点があった。本発明は以上の問題点を解決するもので、その目的は高品質の半導体薄膜を絶縁基板上に形成し、高性能の薄膜半導体装置を提供することにある。

#### 【問題を解決するための手段】

本発明の薄膜半導体装置は、薄膜半導体中の非晶質成分が、体積比で全薄膜体積の1.2%未満

が速度が早い条件が適している。LPCVDでシランガス ( $\text{SiH}_4$ ) を用いる場合は500℃～560℃程度、ジシランガス ( $\text{Si}_2\text{H}_6$ ) を用いる場合は300℃～500℃程度のデポ温度で分解堆積が可能である。トリシランガス ( $\text{Si}_3\text{H}_8$ ) は分解温度が更に低くなる。デポ温度を高くすると堆積した膜が多結晶になるので、 $\text{Si}$  イオン注入によって一旦非晶質化する方法もある。プラズマ化学気相成長法 (PCVD) の場合は、基板温度が500℃以下でも成膜できる。本実施例ではPCVD法を用い、成膜ガスには $\text{SiH}_4$  10%、 $\text{H}_2$  90%の混合ガスを用いた。基板温度は150～240℃で、特に180℃が望ましい。混合ガスの内圧は0.8 Torr、rf パワー=83 mW/cm<sup>2</sup>、rf 周波数=13.56 MHzを用いた。

PCVDではデポ直前に水素プラズマあるいはアルゴンプラズマ処理を行えば、基板表面の清浄化と成膜を連続的に行うことができる点が有利である。光励起CVD法の場合も500℃以下の低

#### 特開平4-22120 (2)

であるような薄膜半導体でその主要部を構成したことを特徴とする。

#### 【実施例】

以下、第1図をもとに固相成長アニールの方法を説明する。まず石英基板あるいはガラス基板等の絶縁基板101上に非晶質半導体102を成膜する。本実施例では非晶質半導体の例に非晶質シリコンを用いて説明するが、非晶質Ge、非晶質SiGeでも同様に適用できる。尚基板にはSiO<sub>2</sub>で覆われたSi基板を用いることもある。石英基板あるいはSiO<sub>2</sub>で覆われたSi基板を用いる場合は1200℃の高温プロセスにも耐えることができるが、ガラス基板を用いる場合は軟化温度が低いために約600℃以下の低温プロセスに制限される。はじめに絶縁基板101上に非晶質シリコン薄膜102を堆積させる(第1図-(a))。該非晶質シリコン薄膜102は一種で、微かな結晶子は含まれておらず結晶成長の核が全く存在しないことが望ましい。減圧化学気相成長法 (LPCVD) の場合は、デポ温度がなるべく低く、デ

ポデポ及び基板表面の清浄化と成膜を連続的に行うことができる点で効果的である。電子ビーム蒸着法などのような高真空蒸着法の場合は膜がボラスであるために大気中の酸素を膜中に取り込み易く、結晶成長の妨げとなる。このことを防ぐために、固相成長アニール前に300℃～600℃程度の低温熱処理を行い膜を緻密化させることが有効である。スパッタ法の場合も高真空蒸着法の場合と同様である。

以上のようにして作製したp-o1-y-Si薄膜において、薄膜を固相成長させるアニール工程を行う。固相成長方法は、石英管による炉アニールが便利である。アニール雰囲気としては、窒素ガス、水素ガス、アルゴンガス、ヘリウムガスなどを用いる。1×10<sup>-9</sup>から1×10<sup>-10</sup> Torrの高真空雰囲気アニールを行ってもよい。固相成長アニール温度は、およそ500℃～850℃とし、600℃程度で5～20時間程のアニールが望ましい。このため固相成長アニールでは、結晶成長の活性化エネルギーの小さな結晶方位を持つ

結晶粒のみが選択的に成長し、平均粒径約 $1\mu\text{m}$ の大粒径多結晶シリコン103ができる(第1図-(b))。結晶粒の中には $5\mu\text{m}$ 以上の粒径を持つものも現れる。結晶粒径は大きいほど半導体中のキャリア移動度が增大するので望ましい。固相成長アニール温度を $650^\circ\text{C}$ 以上にすると短時間アニールで結晶成長が飽和するが、得られる結晶粒径は小さくなる。また、成膜直後の非晶質シリコン薄膜102中に酸素、窒素、炭素等の不純物が含まれていても固相成長で得られる結晶粒径は小さくなる。このため、アニール温度は $600^\circ\text{C}$ 以下が望ましく、非晶質シリコン102に含まれる酸素、窒素、炭素等の不純物濃度は $7 \times 10^{18}$ 個/ $\text{cm}^3$ 以下、特に $6 \times 10^{18}$ 個/ $\text{cm}^3$ 以下が望ましい。不純物濃度が $7 \times 10^{18}$ 個/ $\text{cm}^3$ を超えると結晶粒径は $1\mu\text{m}$ 程度までしか成長せず、後述する非晶質相の体積比も20%以下にはならないからである。

この様にして作製したpoly-Si薄膜の結晶粒界には、微視的には非晶質領域104が現

くなる。

第3図に $600^\circ\text{C}$ の固相成長アニール時間に対する非晶質相の体積比 $\rho$ のグラフを示す。301は $k=1$ 、1の場合の $\rho$ の変化を、302は $k=12.5$ の場合の $\rho$ の変化を示す。現実には、 $\rho$ は斜線で示した領域303の範囲内で変化をする。第3図からわかるように、アニール時間の増大とともに非晶質相が結晶質に転移して非晶質相が減少していくのがわかる。しかし、アニール時間が70時間程度から、結晶成長は飽和し始め、アニール時間を増大しても、 $600^\circ\text{C}$ 以下のアニール温度では、結晶質領域がすべて単結晶に変化したとしても $\rho$ は1.2%以下にはならない。この残存する非晶質相のため、薄膜中の電界効果移動度は結晶中に比べて著しく低下してしまう。そこで本実施例では固相成長アニール後、即ち第1図-(b)の段階で $N_2$ アニールを約 $900^\circ\text{C}$ 以上の温度で30min.以上行うことにより、非晶質相を結晶質に転移させ、結晶粒径を大きく保ったまま非晶質相の体積をさらに減少させる。この短

### 特開平4-22120(3)

ている。第1図-(b)では、この非晶質領域104を誇張して描いてある。この粒界での非晶質領域104は固相成長アニール時間を長くしても完全には結晶質に転移させることはできない。この非晶質領域の体積と、結晶質領域の体積比を求めるため、ラマン散乱スペクトルを用いて測定した。非晶質相に起因するラマンスペクトルの積分強度を $I_a$ とし、結晶質相に起因するラマンスペクトルの積分強度を $I_c$ とする。全積分強度に対する非晶質成分の相対強度 $\sigma$ は、

$$\sigma = I_a / (I_a + I_c)$$

で表せる。結晶質相に対する非晶質相のラマン散乱断面積の比を $k$ とすると、全体積に対する非晶質相の体積比 $\rho$ は $\sigma$ と $k$ を用いて、

$$\rho = \sigma / (\sigma + k(1 - \sigma))$$

で表せる。 $k$ の値は結晶粒径に依存し、単結晶Siに対しては12.5、粒径500Åの微結晶Siに対しては1.1で、通常はこの間の値を取る。現実には薄膜は有数の結晶粒径を持つので、非晶質相の体積は $k=12.5$ の場合よりも必ず大

同アニールはTFT作成時におけるゲート酸化膜の作成工程で代替させても良い。アニール方法は、 $N_2$ アニールに限らずレーザーアニーリングでも良いし、ハロゲンランプ等によるラビッドサーマルアニーリング(RTA)でも良い。このアニーリングプロセス後、非晶質領域104は結晶質に転移し、 $\rho$ は1.2%未満になる(第1図-(c))。 $\rho$ は小さければ小さいほどよく、 $1000^\circ\text{C}$ で30min.の $N_2$ アニールを施した場合は $\rho$ は0.2%以下になる。

本発明を用いて作製した大粒径多結晶シリコン薄膜を、薄膜トランジスターに応用した例を第2図にしたがって説明する。固相成長させて得られた大粒径多結晶シリコン薄膜基板を第2図(a)に示す。201は絶縁基板である。202は固相成長により形成された大粒径多結晶シリコン薄膜である。203は結晶粒界をしめす。次に前記シリコン薄膜をフォトリソグラフィ法によりパターニングして第2図(b)に示すように島状にし、チャネル領域を作製する。次に第2図(c)に示

## 特開平4-22120(4)

されているように、ゲート絶縁膜204を形成する。該ゲート絶縁膜の形成方法としてはLPCVD法、あるいは光誘起CVD法、あるいはプラズマCVD法、ECRプラズマCVD法、あるいは高真空蒸着法、あるいはプラズマ酸化法、あるいは高圧酸化法などのような500℃以下の低温方法がある。該低温方法で成膜されたゲート絶縁膜は、熱処理することによってより緻密で界面単位のない優れた膜となる。非晶質絶縁基板201として石英基板を用いる場合は、熱酸化法によることができる。該熱酸化法にはdry酸化法とwet酸化法とがあるが、酸化温度は1000℃以上と高いが膜質が優れていることからdry酸化法の方が適している。

次に第2図(d)に示されるように、ゲート電極205を形成する。該ゲート電極材料としてはpoly-Si、あるいはモリブデンシリサイド、あるいはアルミニウムやクロムなどのような金属膜、あるいはITOや $\text{SnO}_2$ などのような透明性導電膜などを用いることができる。成膜方法

$10^{10}\text{cm}^{-2}$ 程度とする。

続いて第2図(e)に示されるように、層間絶縁膜209を被覆する。該層間絶縁膜材料としては、酸化膜あるいは窒化膜などを用いる。絶縁性が良好ならば膜厚はいくらでもよいが、数千Åから数μm程度が普通である。窒化膜の形成方法としては、LPCVD法あるいはプラズマCVD法などが簡単である。反応には、アンモニアガス( $\text{NH}_3$ )とシランガスと窒素ガスとの混合ガス、あるいはシランガスと窒素ガスとの混合ガスなどを用いる。

次に第2図(f)に示すように、前記層間絶縁膜及びゲート絶縁膜にコンタクトホールを形成し、コンタクト電極を形成しソース電極210およびドレイン電極211とする。該ソース電極及びドレイン電極は、アルミニウムなどの金属材料で形成し、TFTの完成となる。

$\rho$ が1.2%以上あったpoly-Si薄膜でTFTを作成すると、nチャネルTFTの電界効果移動度は $40\text{cm}^2/\text{Vs}$ 以下だったものが、

としては、CVD法、スパッタ法、真空蒸着法、等の方法があるが、ここでの詳しい説明は省略する。poly-Siをゲート電極に用いる場合には、ドーパント非晶質半導体薄膜を面相成長させて大粒径poly-Si薄膜を作製後、RTAを施すことにより、ゲート電極の高品質化と低抵抗化を図ることができる。

続いて第2図(g)に示すように、前記ゲート電極205をマスクとして不純物をイオン注入し、自己整合的にソース領域206およびドレイン領域207を形成する。前記不純物としては、nchトランジスタを作製する場合はP+あるいはAs+を用い、pchトランジスタを作製する場合はB+等を用いる。不純物添加方法としては、イオン注入法の他に、レーザードーピング法あるいはプラズマドーピング法などの方法がある。208で示される矢印は不純物のイオンビームを表している。前記非晶質絶縁基板201として石英基板を用いた場合にはドーピングに熱拡散法を使うことができる。不純物濃度は、 $1 \times 10^{15} \sim 1 \times$

本実施例で得られた $\rho$ が0.2%以下のpoly-Si薄膜でnチャネルTFTを作成すると、 $158\text{cm}^2/\text{Vs}$ の電界効果移動度が得られた。

## 【発明の効果】

本発明によって得られた大粒径多結晶シリコン薄膜を用いて薄膜トランジスタを作成すると、従来の比べて薄膜トランジスタのON電流は増大しOFF電流は小さくなる。またスレッショルド電圧も小さくなりトランジスタ特性が大きく改善する。

非晶質絶縁基板上に優れた特性の薄膜トランジスタを作製することが可能となるので、ドライバ回路を同一基板上に集積したアクティブマトリクス基板に応用した場合にも十分な高速動作が実現する。さらに、電源電圧の低減、消費電流の低減、信頼性の向上に対して大きな効果がある。また、500℃以下の低温プロセスによる作製も可能なので、アクティブマトリクス基板の低価格化及び大面積化に対してもその効果は大きい。

本発明を、光電変換素子とその走査回路を同一

チップ内に集積した密着型イメージセンサーに応用した場合には、読み取り速度の高速化、高解像度化、さらに増画をとる場合に非常に大きな効果をうみだす。高解像度化が達成されるとカラー読み取り用密着型イメージセンサーへの応用も容易となる。もちろん電源電圧の低減、消費電流の低減、信頼性の向上に対してもその効果は大きい。また低圧プロセスによって作製することができるので、密着型イメージセンサーチップの長尺化が可能となり、一本のチップでA4サイズあるいはA3サイズの様な大型ファクシミリ用の読み取り装置を実現できる。従って、センサーチップの二本踏ぎのような工数がかかり信頼性の低い技術を回避することができ、実装歩留りも向上する。

石英基板やガラス基板だけではなく、サファイア基板( $Al_2O_3$ )あるいは $MgO \cdot Al_2O_3$ 、BP、 $CaF_2$ 等の結晶性絶縁基板も用いることができる。

以上薄膜トランジスタを例として説明したが、バイポーラトランジスタあるいはヘテロ接合バイ

- 209 ……層間絶縁膜
- 210 ……ソース電極
- 211 ……ドレイン電極
- 301 …… $k=1$ 、1の場合の $\rho$ の変化
- 302 …… $k=1/2$ 、5の場合の $\rho$ の変化
- 303 ……固相成長アニールによる $\rho$ の変化領域

以上

出願人 セイコーエプソン株式会社  
代理人弁理士 鈴木喜三郎(他1名)

#### 特開平4-22120 (5)

ポーラトランジスタなど薄膜を利用した素子に対しても、本発明を応用することができる。また、三次元デバイスのようなSOI技術を利用した素子に対しても、本発明を応用することができる。

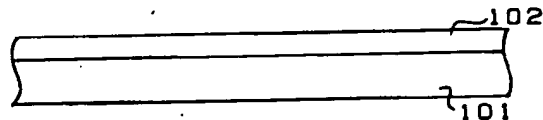
#### 4. 図面の簡単な説明

第1図は本発明の固相成長アニールの工程図。

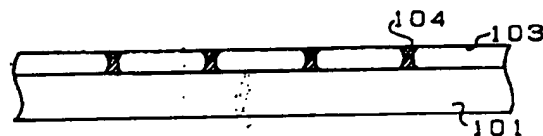
第2図は本発明の薄膜半導体装置の製造方法を薄膜トランジスタに応用した製造工程図。

第3図は固相成長アニール時間に対する非晶質相の体積比の変化を示す図。

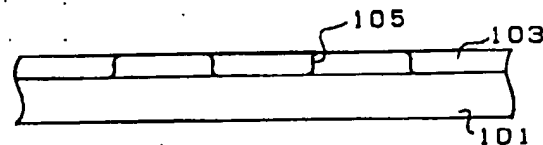
- 101、201 ……絶縁基板
- 102 ……非晶質半導体
- 103、202 ……大粒径多結晶シリコン
- 104 ……非晶質領域
- 105、203 ……結晶粒界
- 204 ……ゲート絶縁膜
- 205 ……ゲート電極
- 206 ……ソース領域
- 207 ……ドレイン領域
- 208 ……イオンビーム



第1図 (a)

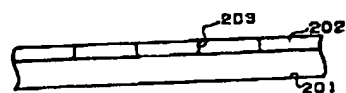


第1図 (b)

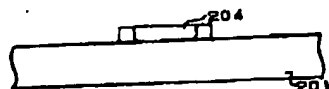


第1図 (c)

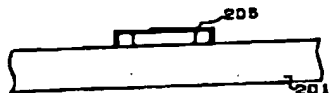
特開平4-22120 (6)



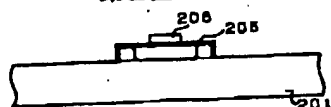
第2図 (a)



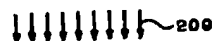
第2図 (b)



第2図 (c)



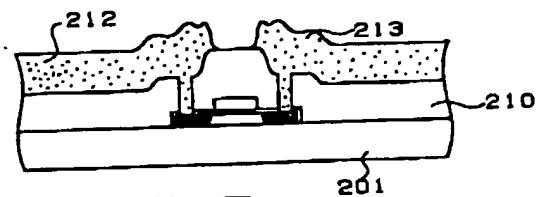
第2図 (d)



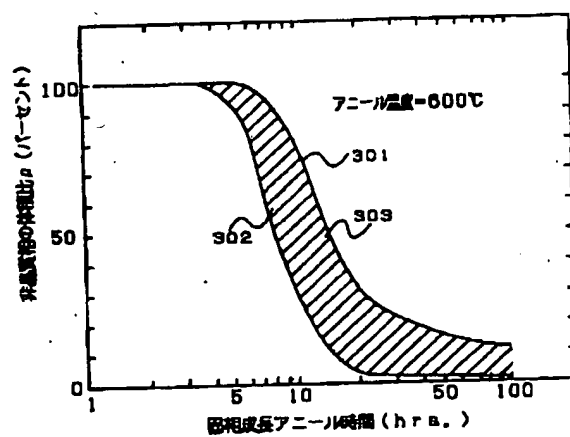
第2図 (e)



第2図 (f)



第2図 (g)



第3図